

【特許請求の範囲】

【請求項1】 リフレッシュ動作を行う手段を含むダイナミックランダムアクセスメモリにおいて、前記リフレッシュ動作を行う手段を用いて外部からの書き込み動作または外部への読み出し動作の少なくとも一方を行うことを特徴とするダイナミックランダムアクセスメモリ。

【請求項2】 外部からの書き込み動作または外部への読み出し動作のいずれかの動作のための第一の要求に対応したワード線選択信号と、リフレッシュ動作のための第二の要求に対応したリフレッシュ用ビット線選択信号とを監視する監視手段と、

リフレッシュ動作時に記憶データを増幅するリフレッシュ用センスアンプと、

前記監視手段より、リフレッシュ動作の実行中に前記第一の要求があった際には、前記リフレッシュ用センスアンプにより増幅された前記記憶データを外部に出力することを特徴とするダイナミックランダムアクセスメモリ。

【請求項3】 前記第一の要求に対する動作時に活性化されるワード線と、

前記第一の要求に対する動作時に記憶データを増幅するセンスアンプと、

前記第二の要求に対する動作時に活性化されるリフレッシュ用ワード線と、

前記監視手段の結果より、前記ワード線選択信号の値と前記リフレッシュ用ワード線選択信号の値とが一致する場合には前記第一の要求および前記第二の要求の時間的順序により前記ワード線または前記リフレッシュ用ワード線のいずれかを活性化し、一致しない場合には前記第一の要求に対しては前記ワード線を活性化し、前記第二の要求に対しては前記リフレッシュ用ワード線を活性化する制御手段と、

前記ワード線選択信号の値と前記リフレッシュ用ワード線の値とから前記センスアンプと前記リフレッシュ用センスアンプとを切り替える手段とをさらに含むことを特徴とする請求項2記載のダイナミックランダムアクセスメモリ。

【請求項4】 前記第一の要求と前記第二の要求とを監視し、前記第一の要求および前記第二の要求の時間差が規定値より小さい場合に前記第二の要求を遅らせる遅延手段をさらに含むことを特徴とする請求項3記載のダイナミックランダムアクセスメモリ。

【請求項5】 前記遅延手段は、リフレッシュ動作を遅延させる指示を発生させる期間を決定する第一の期間決定手段と、

リフレッシュ動作を遅延させる期間を決定する第二の期間決定手段とをさらに含むことを特徴とする請求項4記載のダイナミックランダムアクセスメモリ。

【請求項6】 前記遅延手段は、前記第一の期間決定手段により決定された期間だけアクティブとなるパルス信

号を発生するパルス発生手段と、

このパルス発生手段から発生されるパルス信号からリフレッシュ動作を遅延させる指示を確定させる第一のクロック信号と、リフレッシュ動作のタイミングを決定する第二のクロック信号とを発生するクロック発生回路と、前記第一のクロック信号と前記第二のクロック信号とからリフレッシュ動作の実行を指示する信号を発生する手段を含むことを特徴とする請求項5記載のダイナミックランダムアクセスメモリ。

【発明の詳細な説明】

【発明の属する技術分野】本発明は、ダイナミックランダムアクセスメモリに関し、特に外部からの割り込みリフレッシュ制御の不要なダイナミックランダムアクセスメモリに関する。

【0001】

【従来の技術】従来この種のダイナミックランダムアクセスメモリは、数10msecから数秒間を経過するとメモリセル内に記憶されているデータが破棄されてしまう性質があり、これを防ぐためにリフレッシュ動作と呼ばれる記憶データの再生動作が周期的に行われる。ダイナミックランダムアクセスメモリは、このリフレッシュ動作を実行している間はリード動作またはライト動作のいずれの動作も行えないという問題があった。また、ダイナミックランダムアクセスメモリがリード動作中またはライト動作中のいずれかであったとしても、リフレッシュ動作を実行しなければならない時間になると、リード動作またはライト動作のいずれかの動作を中断してリフレッシュ動作を割り込ませなければならないという問題があった。

【0002】この問題を解決する方法として、たとえば、特開昭3-263685号公報にはメモリに対する外部からのアクセスのアドレスとリフレッシュによるアクセスのアドレスとが競合した場合に、リフレッシュ側のアクセスを禁止し外部からのアクセスを有効にする技術が記載されている。

【0003】

【発明が解決しようとする課題】上述の従来技術では、リフレッシュ動作中に同一ロウアドレスに外部アクセスが発生した場合には、リフレッシュ動作を中止し外部からのアクセスが優先される。このため、リフレッシュ用のビット線に記憶データが読み出され十分に増幅されないうちにリフレッシュを止められることになるため次に外部に読み出す際、正規のデータが読み出せないという問題が生じる。

【0004】本発明の目的は、リフレッシュ動作を周期的に行いながら任意に外部アクセスを行えるようにすることにある。

【0005】

【課題を解決するための手段】上記課題を解決するために本発明のダイナミックランダムアクセスメモリは、リ

フレッシュ動作を行う手段を含むダイナミックランダムアクセスメモリであって、前記リフレッシュ動作を行う手段を用いて外部からの書き込み動作または外部への読み出し動作の少なくとも一方を行う。

【0006】また、本発明の他のダイナミックランダムアクセスメモリは、外部からの書き込み動作または外部への読み出し動作のいずれかの動作のための第一の要求に対応したワード線選択信号と、リフレッシュ動作のための第二の要求に対応したリフレッシュ用ビット線選択信号とを監視する監視手段と、リフレッシュ動作時に記憶データを増幅するリフレッシュ用センスアンプと、前記監視手段より、リフレッシュ動作の実行中に前記第一の要求があった際には、前記リフレッシュ用センスアンプにより増幅された前記記憶データを外部に出力する。

【0007】また、本発明の他のダイナミックランダムアクセスメモリは、前記第一の要求に対する動作時に活性化されるワード線と、前記第一の要求に対する動作時に記憶データを増幅するセンスアンプと、前記第二の要求に対する動作時に活性化されるリフレッシュ用ワード線と、前記監視手段の結果より、前記ワード線選択信号の値と前記リフレッシュ用ワード線選択信号の値とが一致する場合には前記第一の要求および前記第二の要求の時間的順序により前記ワード線または前記リフレッシュ用ワード線のいずれかを活性化し、一致しない場合には前記第一の要求に対しては前記ワード線を活性化し、前記第二の要求に対しては前記リフレッシュ用ワード線を活性化する制御手段と、前記ワード線選択信号の値と前記リフレッシュ用ワード線の値とから前記センスアンプと前記リフレッシュ用センスアンプとを切り替える手段とをさらに含む。

【0008】また、本発明の他のダイナミックランダムアクセスメモリは、前記第一の要求と前記第二の要求とを監視し、前記第一の要求および前記第二の要求の時間差が規定値より小さい場合に前記第二の要求を遅らせる遅延手段をさらに含む。

【0009】また、本発明の他のダイナミックランダムアクセスメモリは、前記遅延手段は、リフレッシュ動作を遅延させる指示を発生させる期間を決定する第一の期間決定手段と、リフレッシュ動作を遅延させる期間を決定する第二の期間決定手段とをさらに含む。

【0010】また、本発明の他のダイナミックランダムアクセスメモリは、前記遅延手段は、前記第一の期間決定手段により決定された期間だけアクティブとなるパルス信号を発生するパルス発生手段と、このパルス発生手段から発生されるパルス信号からリフレッシュ動作を遅延させる指示を確定させる第一のクロック信号と、リフレッシュ動作のタイミングを決定する第二のクロック信号とを発生するクロック発生回路と、前記第一のクロック信号と前記第二のクロック信号とからリフレッシュ動作の実行を指示する信号を発生する手段を含む。

【0011】また、本発明の他のダイナミックランダムアクセスメモリは、外部からのリード動作またはライト動作のいずれかの動作時に活性化されるワード線と、このワード線に接続された第一のメモリセルと、この第一のメモリセルに接続されたビット線と、リフレッシュ動作時に活性化されるリフレッシュ用ワード線と、このリフレッシュ用ワード線に接続された第二のメモリセルと、この第二のメモリセルに接続されたリフレッシュ用ビット線と、前記ビット線に接続されたセンスアンプと、前記リフレッシュ用ビット線に接続されたリフレッシュ用センスアンプと、外部からのリード動作またはライト動作のいずれかの動作を行うための第一の要求とリフレッシュ動作を行うための第二の要求とを監視し、前記第一の要求および前記第二の要求の時間差が規定値より小さい場合に前記第二の要求を遅らせる手段と、前記第一の要求において対象となる第一のロウアドレスと、前記第二の要求において対象となる第二のロウアドレスとを監視し、前記第一のロウアドレスと前記第二のロウアドレスとが一致する場合には前記第一の要求および前記第二の要求の時間的順序により前記ワード線または前記リフレッシュ用ワード線のいずれかを活性化し、一致しない場合には前記第一の要求に対してはワード線を活性化し、前記第二の要求に対しては前記リフレッシュ用ワード線を活性化する制御手段と、前記センスアンプと前記リフレッシュ用センスアンプとを切り替える手段とを含む。

【0012】

【発明の実施の形態】次に本発明のダイナミックランダムアクセスメモリの一実施例について図面を参照して詳細に説明する。

【0013】図1を参照すると、本発明の一実施例であるダイナミックランダムアクセスメモリ（以下DRAMという）のメモリセルは、nチャネルMOSトランジスタ100およびnチャネルMOSトランジスタ200のソース端子がコンデンサ300の一方の電極に共通に接続されて構成される。コンデンサ300の他方の電極は接地されている。nチャネルMOSトランジスタ100のゲート端子およびドレイン端子はそれぞれワード線101およびビット線102に接続されている。nチャネルMOSトランジスタ200のゲート端子およびドレイン端子はそれぞれリフレッシュ用ワード線201およびリフレッシュ用ビット線202に接続されている。

【0014】ワード線101またはリフレッシュ用ワード線201のいずれかが活性化し高電位が加わると、nチャネルMOSトランジスタ100またはnチャネルMOSトランジスタ200のいずれかがオンになり、ビット線102またはリフレッシュ用ビット線202のいずれかとコンデンサ300との間でデータのやりとりが可能となる。ワード線101およびリフレッシュ用ワード線201がともに非活性化状態であり低電位のままであ

れば、nチャネルMOSトランジスタ100およびnチャネルMOSトランジスタ200はオフ状態となりメモリセルは記憶データを保持する。

【0015】図2を参照すると、本実施例のDRAMは、メモリセルを4行×4列に配列させて構成される。ワード線101-0、・・・、101-3とリフレッシュ用ワード線201-0、・・・、201-3は、これらの線を排他的に1本選択するワード線セクタ4に接続されている。ビット線102-0、・・・、102-3は、各メモリセルのデータを増幅するセンスアンプ回路9に接続されている。リフレッシュ用ビット線202-0、・・・、202-3は、各メモリセルのデータを増幅するリフレッシュ用センスアンプ回路3に接続されている。

【0016】また、DRAMは、ロウアドレスがラッチされるロウアドレスバッファ6と、このロウアドレスバッファ6にラッチされたロウアドレスをデコードするロウデコーダ8と、カラムアドレスがラッチされるカラムアドレスバッファ7と、このカラムアドレスバッファ7にラッチされたカラムアドレスをデコードするカラムデコーダ10を有している。

【0017】さらに、本実施例のDRAMは、制御回路12とリフレッシュ制御回路1とリフレッシュ用ロウデコーダ2とリフレッシュ用センスアンプ回路3とを有している。

【0018】制御回路12およびリフレッシュ制御回路1は、外部からのリード動作やライト動作の要求とリフレッシュ動作の要求とを常時監視し、両者の時間的な差が非常に小さかったり同時に要求が発生したりする場合には、リフレッシュ動作の要求を遅らせる。

【0019】図3を参照すると、制御回路12は外部からのRAS信号を入力とし信号RASPを出力とする。リフレッシュ制御回路1はその信号RASPを入力とし制御信号REFを出力とする。

【0020】制御回路12において、排他的論理和(EOR)回路52は、外部からのRAS信号と、そのRAS信号を遅延回路51により時間td1だけ遅らせた信号を入力とし、論理積(AND)回路53は、外部からのRAS信号を反転させた信号と排他的論理和(EOR)回路52の出力信号を入力とする。この論理積(AND)回路53の出力信号が信号RASPである。尚、外部からのRAS信号は、この他に従来の動作にも使用される。

【0021】リフレッシュ制御回路1はタイマを内蔵しており、規定のリフレッシュタイミングに従いリフレッシュ用ロウデコーダ2とリフレッシュ用センスアンプ回路3とに制御信号REFを送出する。また、リフレッシュ制御回路1は、ラッチ回路54とREFクロック発生回路55と論理積(AND)回路56と論理積(AND)回路57と遅延回路58と論理和(OR)回路59

とを含んでいる。

【0022】REFクロック発生回路55は規定のリフレッシュサイクル時間(リフレッシュ周期をロウアドレス数で割った時間)を周期とするREFクロック信号を二種類発生させる。この二種類のREFクロック信号は同一の周期を持つが、“1”状態(ハイレベル)の時間と“0”状態(ロウレベル)の時間との割合がそれぞれ異なり、REFクロック信号1が“1”状態になった後でREFクロック信号2が“1”状態になり、REFクロック信号2が“0”状態になった後でREFクロック信号1が“0”状態になるよう発生するものである。ラッチ回路54は、REFクロック信号1(信号H)をクロック入力信号とし、データ信号となる信号RASP(信号G)をラッチして、信号Jを出力する。論理積(AND)回路56は、信号Jの反転信号とREFクロック信号2(信号K)を入力して信号Lを出力し、論理積(AND)回路57は、信号JとREFクロック信号2(信号K)を入力して信号Mを出力する。論理和(OR)回路59は、信号Lと、信号Mを遅延回路58により時間td2だけ遅らせた信号を入力とし、信号Pを出力する。この信号Pが制御信号REFであり、前述したようにリフレッシュ用ロウデコーダ2およびリフレッシュ用センスアンプ回路3に送出される信号となる。

【0023】図2を参照すると、リフレッシュ用ロウデコーダ2は、リフレッシュカウンタを有しており、リフレッシュ制御回路1からの制御信号REFを受け取ると、このリフレッシュカウンタに従いリフレッシュ用ワード線選択信号RSを順次排他的に活性化する。

【0024】ワード線セクタ4は、リフレッシュ用ワード線選択信号2-0、・・・、2-3を受け取ると、この信号に対応するリフレッシュ用ワード線201-0、・・・、201-3を活性化する。

【0025】ワード線セクタ4は、リフレッシュ動作において対象となるロウアドレスと、外部からのリード動作またはライト動作のいずれかの動作において対象となるロウアドレスとを常時監視する。両者のアドレスが一致する場合には、その時間的な順序により、そのロウアドレスに対応するワード線101-0、・・・、101-3またはリフレッシュ用ワード線201-0、・・・、201-3のいずれかを活性化する。

【0026】ワード線セクタ4は、ワード線101-0、・・・、101-3とリフレッシュ用ワード線201-0、・・・、201-3とを選択するワード線セクタ回路41とリフレッシュ用ワード線201-0、・・・、201-3を使用してリード動作またはライト動作のいずれかの動作を実行する場合のセンスアンプ回路の切り替え信号SARを出力するセンスアンプ切り替え回路42とからなる。

【0027】ビット線セクタ5は、ワード線セクタ4より出力されるセンスアンプ回路切替信号を受け取

り、ビット線102-0、・・・、102-3またはリフレッシュ用ビット線202-0、・・・、202-3のいずれかを入出力データバッファ11と接続させる。入出力データバッファ11は、外部との入出力を行う。

【0028】図4を参照すると、本実施例のワード線セクタ回路41は、任意のロウアドレスについて外部からのリード動作またはライト動作のいずれかの要求状態を表し、ロウデコード8より出力されるワード線選択信号8-N ($N=0, \dots, 3$)と、リフレッシュ動作の要求状態を表しリフレッシュ用ロウデコード2より出力されるリフレッシュ用ワード線選択信号2-N ($N=0, \dots, 3$)とを入力とし、リフレッシュ用ワード線201-N ($N=0, \dots, 3$)とワード線101-N ($N=0, \dots, 3$)とを出力としている。ワード線セクタ回路41は、ラッチ回路31と、論理積(AND)回路32と、論理和(OR)回路33と、ラッチ回路34と、論理積(AND)回路35とから構成される。ラッチ回路31は、リフレッシュ用ワード線選択信号2-N ($N=0, \dots, 3$) (信号A)をクロック入力とし、データ信号となるワード線選択信号8-N ($N=0, \dots, 3$) (信号B)をラッチして、反転出力として信号Cを出力する。論理積(AND)回路32は、信号Cと信号Aとを入力して信号Dを出力する。論理和(OR)回路33は、信号Dと信号Bとを入力として信号Eを出力する。ラッチ回路34は、信号Eをクロック入力信号としデータ信号となる信号Dをラッチして、出力データ信号Xと反転出力データ信号Fとを出力する。論理積(AND)回路35は、信号Fと信号Bとを入力して信号Yを出力する。この信号Xと信号Yとが、それぞれリフレッシュ用ワード線201-N ($N=0, \dots, 3$)およびワード線101-N ($N=0, \dots, 3$)である。

【0029】図5を参照すると、本実施例のセンスアンプ切り替え回路42は、論理積(AND)回路36-N ($N=0, \dots, 3$)と論理和(OR)回路37とからなる。論理積(AND)回路36-N ($N=0, \dots, 3$)は、メモリセルの行の数だけ設けられ、ワード線選択信号8-N ($N=0, \dots, 3$)とリフレッシュ用ワード線201-N ($N=0, \dots, 3$)とを入力して、信号SAR-N ($N=0, \dots, 3$)を出力する。論理和(OR)回路37は、各ロウアドレスに対応した信号SAR-N ($N=0, \dots, 3$)について、全ロウアドレス分の論理和をとりセンスアンプ回路切り替え信号SARを出力する。

【0030】次に、本発明のダイナミックランダムアクセスメモリの一実施例の動作について図面を参照して詳細に説明する。

【0031】図2および図4を参照すると、ワード線セクタ4は、リフレッシュ動作において対象となるロウアドレスと、外部からのリード動作またはライト動作の

いずれかの動作において対象となるロウアドレスとを常時監視する。両者が一致する場合には、その時間的な順位によりそのロウアドレスに対応するワード線101-N ($N=0, \dots, 3$)またはリフレッシュ用ワード線201-N ($N=0, \dots, 3$)のいずれかを活性化する。両者が一致していなければ、リフレッシュ動作についてはそのロウアドレスに対応するリフレッシュ用ワード線201-N ($N=0, \dots, 3$)を活性化し、外部からのリード動作またはライト動作のいずれかの動作についてはそのロウアドレスに対応するワード線101-N ($N=0, \dots, 3$)を活性化する。しかし、実際には外部からのリード/ライトアクセスは全く任意であるため、両者の時間的な差が非常に小さかったり、時には全く同時に要求が発生したりすることが考えられる。このような場合、前述したワード線セクタ4の内部のラッチ回路31は、両者が要求するままワード線選択信号8-N ($N=0, \dots, 3$)およびリフレッシュ用ワード線選択信号2-N ($N=0, \dots, 3$)とを受け入れると所望の動作が保証されず不定の動作をする可能性がある。そこで、本発明のダイナミックランダムアクセスメモリの一実施例では、制御回路12およびリフレッシュ制御回路1により、両者の要求を常時監視し、両者の時間的な差が非常に小さかったり同時に要求が発生したりする場合には、リフレッシュ動作の要求を遅らせることでワード線セクタ4の動作を保証する。その際、リフレッシュ動作を遅らせる時間は、ラッチ回路31のデータ入力においてセットアップ時間およびホールド時間を保証する程度で数nsで良いため、数十ms～数百msであるリフレッシュ周期と比較しても極微小であり、その遅れ時間は全くリフレッシュ動作に影響を与えることはないと言える。また外部からのリード動作やライト動作の要求はそのまま受け入れるため、外部からのリード/ライトアクセスにも全く影響を与えない。

【0032】図6を参照すると、DRAMにおける外部からのリード動作やライト動作の要求は、外部から入力されるRAS信号が立ち下がることで最も早く認識できるため、制御回路12は、そのRAS信号の立ち下がりをもとに“1”状態(ハイレベル)側に一定のパルス幅を有する信号RAS Pを生成する。この信号RAS Pの“1”状態の幅は、遅延回路51の遅延時間 t_{d1} に相当し、ワード線セクタ4におけるラッチ回路31のデータ入力においてセットアップ時間およびホールド時間の和以上に設定する。リフレッシュ制御回路1は、制御回路12から入力される信号RAS Pを外部からのリード動作やライト動作の要求のタイミングとして使用し、内部のREFクロック発生器55により生成されるREFクロック信号をリフレッシュ動作の要求のタイミングとして、両者の時間的関係を監視する。

【0033】ラッチ回路54は、REFクロック信号1

(信号H)をクロック入力信号として、データ信号となる信号RASP(信号G)をラッチする。もし、REFクロック信号1(信号H)の立ち上がり時に信号RASP(信号G)が“0”状態であれば、REFクロック信号1(信号H)が“1”状態の期間中はラッチ回路54の出力信号Jには“0”状態が確定する。逆にREFクロック信号1(信号H)の立ち上がり時に信号RASP(信号G)が“1”状態であれば、REFクロック信号1(信号H)が“1”状態の期間中はラッチ回路54の出力信号Jには“1”状態が確定する。図6において、パターンP6およびP7が前者の状態を表したものであり、パターンP9が後者の状態を表したものである。パターンP8およびP10は両者の境界点での状態を表すものであるが、出力信号Jは、“1”状態かあるいは“0”状態のどちらかに確定し、回路動作としてはどちらでも問題ないため、両方の場合を重ねて記している。このラッチ回路54により、外部からのリード動作やライト動作の要求を示すRAS信号の立ち下りの直後の時間 t_{d1} の範囲内でリフレッシュ動作の要求が重なる場合に限り、REFクロック信号1(信号H)が“1”状態の期間中だけ信号Jは“1”状態になる。

【0034】REFクロック信号2(信号K)が、実際にリフレッシュ用ロウデコード2およびリフレッシュ用センスアンプ回路3に送出される制御信号REFの基準となる信号であるが、信号Jが“1”状態の場合に限り、つまり、外部からのリード動作やライト動作の要求を示すRAS信号の立ち下りの直後の時間 t_{d1} の範囲内でリフレッシュ動作の要求が重なる場合に限り、REFクロック信号2(信号K)は、論理積(AND)回路57を介して遅延回路58を経由し、遅延回路58の遅延時間 t_{d2} だけ遅れて論理和(OR)回路59に到達する。それ以外の場合はREFクロック信号2(信号K)は、論理積(AND)回路56を介して、直接、論理和(OR)回路59に到達する。

【0035】論理和(OR)回路59の出力信号Pが制御信号REFであり、リフレッシュ用ロウデコード2およびリフレッシュ用センスアンプ回路3に送出される。その際、遅延回路58の遅延時間 t_{d2} は、遅延回路51の遅延時間 t_{d1} と同様に、ワード線セクタ4におけるラッチ回路31のデータ入力においてセットアップ時間およびホールド時間の和以上に設定する。また、REFクロック信号1(信号H)の条件は、REFクロック信号2(信号K)に同期していることと、REFクロック信号1(信号H)の“1”状態に、REFクロック信号2(信号K)の“1”パルスが論理積(AND)回路56かあるいは論理積(AND)回路57のどちらかを確実に通過するために必要な幅を持たせることである。

【0036】図7を参照すると、要求パターン1は、リフレッシュ動作の要求と外部からのリード動作またはラ

イト動作のいずれかの動作の要求とが時間的に重ならない場合である。リフレッシュ制御回路1からのリフレッシュ制御信号REFを受けたリフレッシュ用ロウデコード2がリフレッシュ用ワード線選択信号 $2-N$ ($N=0, \dots, 3$)を出力する。このとき、同じロウアドレスにワード線選択信号 $8-N$ ($N=0, \dots, 3$)が入力されていなければ、このロウアドレスに対応するリフレッシュ用ワード線 $201-N$ ($N=0, \dots, 3$)が活性化される。このリフレッシュ用ワード線 $201-N$ ($N=0, \dots, 3$)に接続されたメモリセルMC群の各トランジスタ200がオンになり、各メモリセルMCに記憶されていたデータは各リフレッシュ用ビット線 $202-N$ ($N=0, \dots, 3$)上に読み出され、リフレッシュ用センスアンプ3により増幅される。規定の時間経過後にリフレッシュ用ワード線選択信号 $2-N$ ($N=0, \dots, 3$)を無効にし、リフレッシュ用ワード線 $201-N$ ($N=0, \dots, 3$)が非活性状態になると増幅された各リフレッシュ用ビット線 $202-N$ ($N=0, \dots, 3$)上のデータは、それぞれもとのメモリセルMCに書き込まれる。このとき、センスアンプ切り替え信号SARは無効状態であり、リフレッシュ用センスアンプ3は、入出力バッファ11とは接続されずリフレッシュ動作のためだけに使用される。

【0037】要求パターン2は、リフレッシュ動作が実行されている最中に、同じロウアドレスに対して外部からのリード動作またはライト動作のいずれかの動作の要求が発生する場合である。

【0038】まずリフレッシュ用ワード線選択信号 $2-N$ ($N=0, \dots, 3$)がワード線セクタ4に入力され、これに対応するリフレッシュ用ワード線 $201-N$ ($N=0, \dots, 3$)が活性化される。ワード線選択信号 $8-N$ ($N=0, \dots, 3$)が入力されるまでは、パターンP1と同様にリフレッシュ動作を実行する。ここで、リフレッシュ用ワード線 $201-N$ ($N=0, \dots, 3$)が非活性状態になる前にワード線選択信号 $8-N$ ($N=0, \dots, 3$)が入力されると、ワード線セクタ4はリフレッシュ用ワード線 $201-N$ ($N=0, \dots, 3$)の活性状態を継続し、ワード線 $101-N$ ($N=0, \dots, 3$)は活性化させない。また、ワード線セクタ4はセンスアンプ回路切り替え信号SARを有効にしてビット線セクタ5に送り、ビット線セクタ5は入出力バッファ11との接続をセンスアンプ回路9からリフレッシュ用センスアンプ回路3へと切り替える。この状態は、リフレッシュ用ワード線選択信号 $2-N$ ($N=0, \dots, 3$)が無効となっても変わらず、ワード線選択信号 $8-N$ ($N=0, \dots, 3$)が無効となることにより終了する。このように、実行中にあるリフレッシュ動作の進行状態に関わらず、外部からのリード動作またはライト動作のいずれかの動作の要求は、リフレッシュ動作に用いられる信号径

路を使用して、規定のリード動作またはライト動作のいずれかの動作のタイミングで実行される。

【0039】要求パターン3は、リフレッシュ動作が実行されている最中に、同じロウアドレスに対して外部からのリード動作またはライト動作のいずれかの動作の要求が発生した後、リフレッシュ用ワード線選択信号 $2-N$ ($N=0, \dots, 3$) が一旦無効となりワード線選択信号 $8-N$ ($N=0, \dots, 3$) が有効となっている間に、再度同じロウアドレスに対してリフレッシュ用ワード線選択信号 $2-N$ ($N=0, \dots, 3$) が入力される場合である。

【0040】この場合、2回目のリフレッシュ動作の要求が発生したときに、そのロウアドレスに対してリード動作またはライト動作のいずれかの動作が実行されているため、この動作によりリフレッシュ動作と同様の効果を得ることができる。したがって2回目のリフレッシュ動作は無効にし省略することが可能である。

【0041】要求パターン4は、外部からのリード動作またはライト動作のいずれかの動作が実行されている最中に、同じロウアドレスに対してリフレッシュ動作の要求が発生する場合である。

【0042】要求パターン5は、外部からのリード動作またはライト動作のいずれかの動作が実行されている最中に、同じロウアドレスに対してリフレッシュ動作の要求が発生した後、ワード線選択信号 $8-N$ ($N=0, \dots, 3$) が一旦無効となりリフレッシュ用ワード線選択信号 $2-N$ ($N=0, \dots, 3$) が有効となっている間に、再度同じロウアドレスに対してワード線選択信号 $8-N$ ($N=0, \dots, 3$) が入力される場合である。

【0043】以上のリフレッシュ制御回路1の動作により、外部からのリード動作やライト動作の要求にリフレッシュ動作の要求が短い時間内(時間 t_{d1})で重なる場合は、リフレッシュ動作の要求を時間 t_{d2} だけ遅らせることができる。

【0044】そして、ワード線選択信号 $8-N$ ($N=0, \dots, 3$) は信号 $RASP$ に同期するものであり、またリフレッシュ用ワード線選択信号 $2-N$ ($N=0, \dots, 3$) は制御信号 REF に同期するものであるから、信号 $RASP$ に対するワード線選択信号 $8-N$ ($N=0, \dots, 3$) の遅延時間と、制御信号 REF に対するリフレッシュ用ワード線選択信号 $2-N$ ($N=0, \dots, 3$) の遅延時間とを適切に調整することで、結局、ワード線選択信号 $8-N$ ($N=0, \dots, 3$) の立ち上がり時の前後の所定時間(t_{d1} と t_{d2} のうち短い方の時間)内に、リフレッシュ用ワード線選択信号 $2-N$ ($N=0, \dots, 3$) の立ち上がりが重なることがなくなり、ワード線セクタ4の動作を完全に保証することができる。

【0045】このように、本発明の一実施例であるダイ

ナミックランダムアクセスメモリによれば、外部からのリード/ライトアクセスを任意に受けながら、いかなる場合においても相対するワード線 $101-N$ ($N=0, \dots, 3$) とリフレッシュ用ワード線 $201-N$ ($N=0, \dots, 3$) とを同時に活性状態にすることなく、各メモリセル行のリフレッシュ動作を内部で自動的に実行することができる。

【0046】次に本発明のダイナミックランダムアクセスメモリの第二の実施例について説明する。

【0047】この第二の実施例では、第一の実施例におけるワード線セクタ回路41のラッチ回路34をD型フリップフロップ回路に置き換える点のみ異なる。このD型フリップフロップ回路の反転出力データと信号Aとの論理積(AND)をとった結果は、第一の実施例におけるラッチ回路31の反転出力データと信号Aとの論理積(AND)をとった結果である信号Dと等しい結果が得られる。

【0048】次に本発明のダイナミックランダムアクセスメモリの第三の実施例について図面を参照して詳細に説明する。

【0049】この第三の実施例は、第一の実施例におけるリフレッシュ制御回路1の内部の REF クロック発生器55をDRAMに内蔵せず、DRAM外部から専用端子を介してリフレッシュ用のクロックを入力する点が異なる。

【0050】図8を参照すると、 REF クロック生成回路70は、遅延回路71と論理積(AND)回路72とから構成される。これより、外部から REF クロック信号1(信号H)に合わせたクロック信号を1本入力しさえすれば、内部で REF クロック信号2(信号K)を生成することができる。

【0051】この第三の実施例によれば、 REF クロック発生器をDRAMに内蔵しないため、チップ面積を小さくできる。

【0052】また、複数のDRAMを一度に使用する場合において、複数のDRAMの各々のリフレッシュ周期をすべて等しく規定し、リード/ライトアクセスとは全く無関係に独立したものとできる。各DRAMに入力するクロック信号間では、クロック周期さえ正しければそれぞれのスキューを気にする必要もないため、クロック信号制御系の配置/配線設計も困難ではない。このため、DRAMの区別なく、1個または複数のリフレッシュ用クロック信号を複数のDRAMで共用することが可能となる。

【0053】

【発明の効果】以上の説明で明らかなように、本発明によると、リフレッシュ動作のためのロウアドレスと外部からのリード動作またはライト動作のいずれかの動作のためのロウアドレスとを監視し、これらの要求の時間差によりセンスアンプからの出力とリフレッシュ用センス

アンプからの出力とを切り替えるようにしたため、外部からのリード／ライトアクセスを任意に受けながら、いかなる場合においても相対するワード線とリフレッシュ用ワード線とを同時に活性状態にすることなく、各メモリセル行のリフレッシュ動作を内部で自動的に実行することができる。

【図面の簡単な説明】

【図1】本発明のダイナミックランダムアクセスメモリの一実施例のメモリセルの構成を示すブロック図である。

【図2】本発明のダイナミックランダムアクセスメモリの一実施例の構成を示すブロック図である。

【図3】本発明の制御回路およびリフレッシュ制御回路の一実施例の構成を示すブロック図である。

【図4】本発明のワード線セレクト回路の一実施例の構成を示すブロック図である。

【図5】本発明のセンスアンプ切り替え回路の一実施例の構成を示すブロック図である。

【図6】本発明の制御回路およびリフレッシュ制御回路

の一実施例の動作を表すタイミングチャートである。

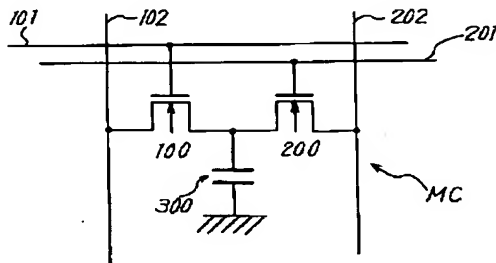
【図7】本発明のワード線セレクトの一実施例の動作を表すタイミングチャートである。

【図8】本発明の第三の実施例のREFクロック生成回路を示すブロック図である。

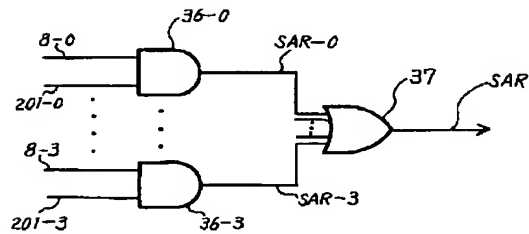
【符号の説明】

- 1 リフレッシュ制御回路
- 2 リフレッシュ用ロウデコーダ
- 3 リフレッシュ用センスアンプ回路
- 4 ワード線セレクト
- 5 ビット線セレクト
- 6 ロウアドレスバッファ
- 7 カラムアドレスバッファ
- 8 ロウデコーダ
- 9 センスアンプ回路
- 10 カラムデコーダ
- 11 入出力データバッファ
- 12 制御回路

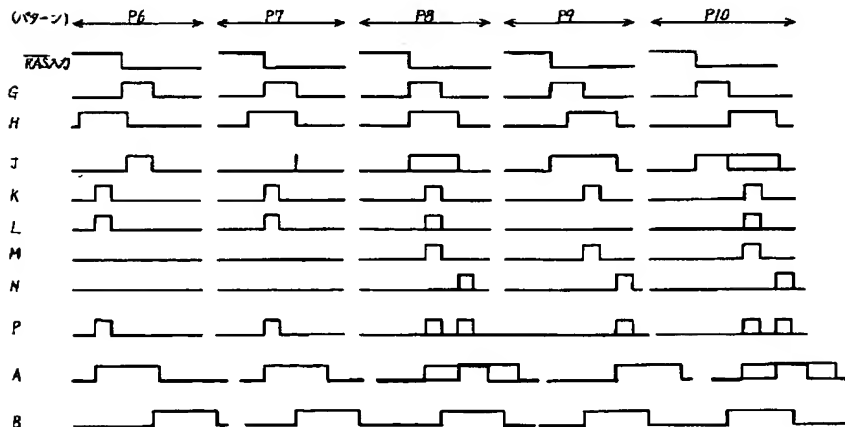
【図1】



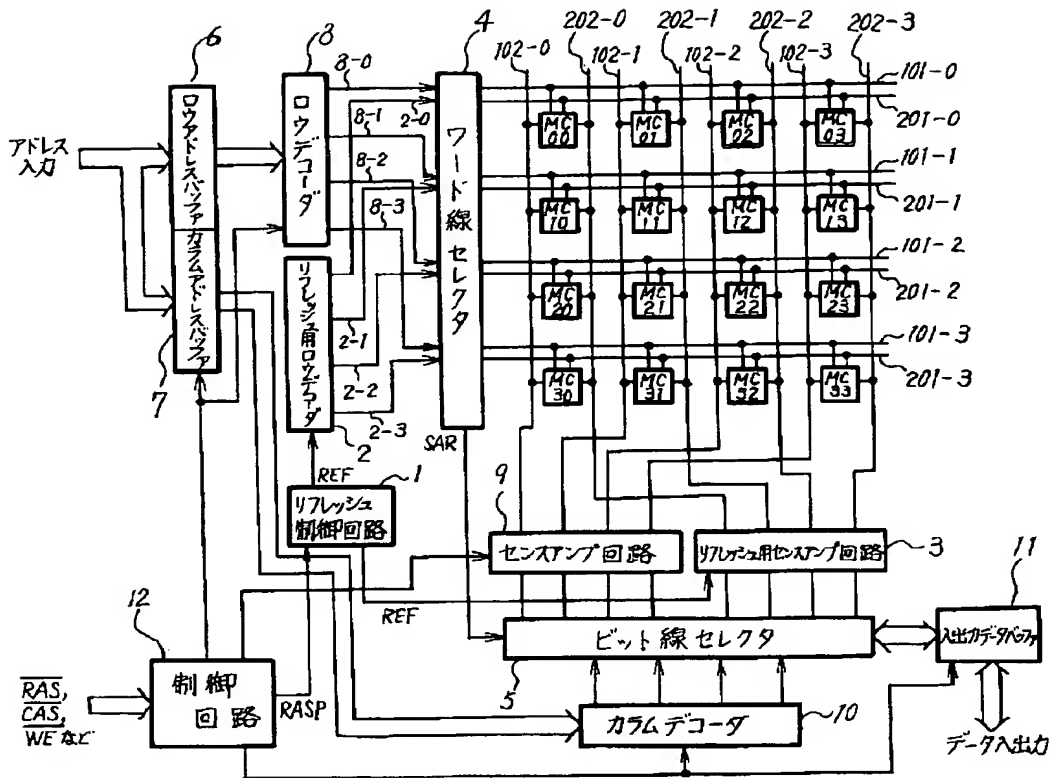
【図5】



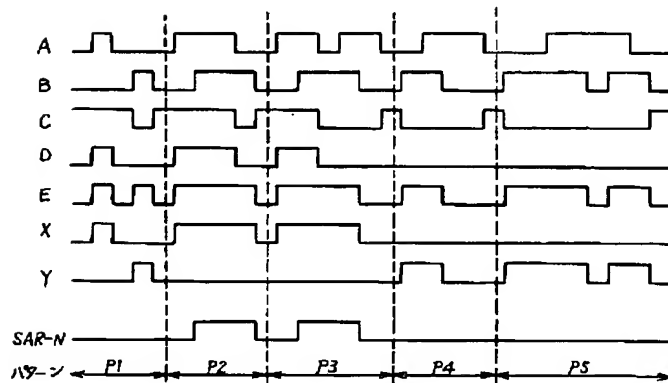
【図6】



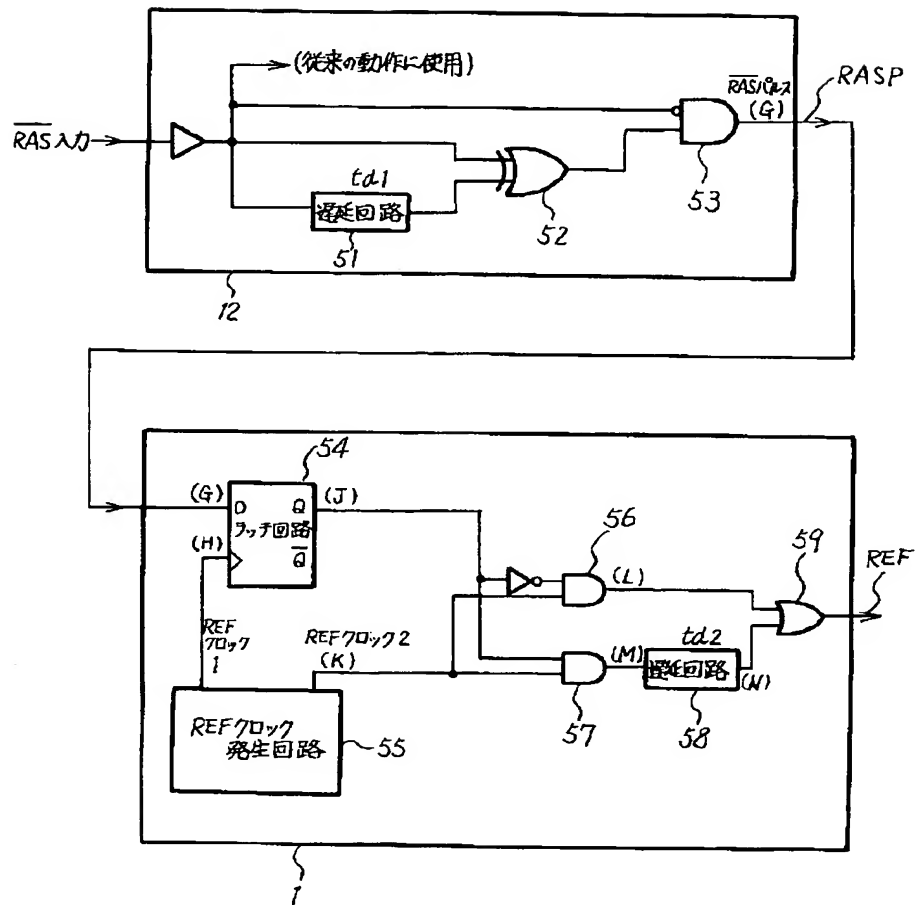
【図2】



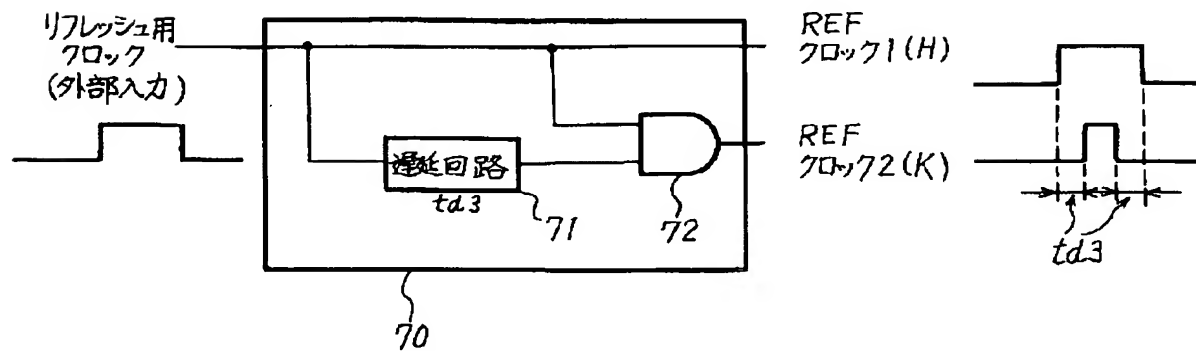
【図7】



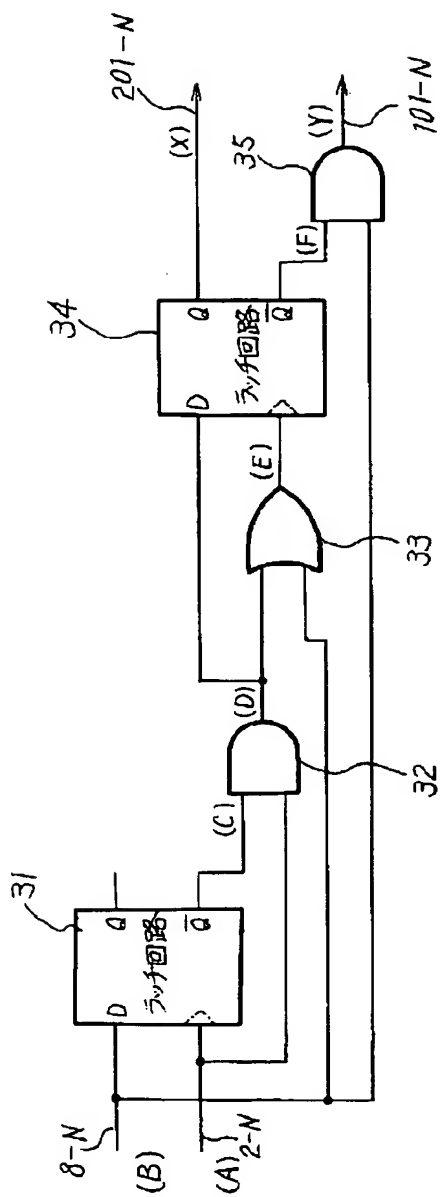
【図3】



【図8】



【図4】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.